

2/5/1 (Item 1 from file: 351)

DIALOG(R) File 351:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

008966189 **Image available**

WPI Acc No: 1992-093458/ 199212

XRAM Acc No: C92-043321

XRPX Acc No: N92-069899

Semiconductor chip or device mfr. - with adhering layer cap, bump electrode, jig, spacer, and external service on silicon@ base substrate
NoAbstract Dwg 1/16

Patent Assignee: HITACHI CHO L S I ENGINE (HITA-N); HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 4037137	A	19920207	JP 90143519	A	19900601	199212 B

Priority Applications (No Type Date): JP 90143519 A 19900601

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 4037137	A	12
------------	---	----

Title Terms: SEMICONDUCTOR; CHIP; DEVICE; MANUFACTURE; ADHERE; LAYER; CAP; BUMP; ELECTRODE; JIG; SPACE; EXTERNAL; SERVICE; SILICON; BASE; SUBSTRATE; NOABSTRACT

Derwent Class: L03; R46; U11

International Patent Class (Additional): H01L-021/32

File Segment: CPI; EPI

2/5/2 (Item 1 from file: 347)

DIALOG(R) File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03672037 **Image available**

SEMICONDUCTOR CHIP OR SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 04-037137 [JP 4037137 A]

PUBLISHED: February 07, 1992 (19920207)

INVENTOR(s): TATE HIROSHI

KIKUCHI NORISHIGE

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP (Japan)

HITACHI VLSI ENG CORP [489108] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 02-143519 [JP 90143519]

FILED: June 01, 1990 (19900601)

INTL CLASS: [5] H01L-021/321

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JOURNAL: Section: E, Section No. 1205, Vol. 16, No. 221, Pg. 19, May 22, 1992 (19920522)

ABSTRACT

PURPOSE: To obtain a technique which makes it possible to improve the reliability and yield of a semiconductor chip or a semiconductor device that is equipped with a plurality of bump electrodes by making contact faces that are just made between a plurality of bump electrodes and a packaging substrate level and mounting the above leveled contact faces so that they are all on the same one plane or taking measures to meet the like situation.

CONSTITUTION: In a semiconductor chip or a semiconductor device 10 that is equipped with a plurality of bump electrodes 7, contact faces that are just made between a plurality of electrodes 7 and a packaging substrate are leveled and the leveled contact faces are mounted so that they are all in one plane. Further, in the manufacturing method of the semiconductor device that is prepared by a process for forming a plurality of bump electrodes,

the above semiconductor chip and device 10 are placed on the leveled face of a jig 15 by forming the bump electrodes 7 and making each spacer 16 that is lower than the height of each bump electrode exist among the bump electrodes. After that, heat and pressure are applied. For example, the semiconductor device 10 is obtained by sealing the semiconductor chip 1 after keeping its chip airtight in a cavity which is composed of respective caps 5 that are connected with not only a base substrate 2 but also surroundings of the base substrate 2 through a binding layer 4.

PATENT ABSTRACTS OF JAPAN

US06-NGK-96

(11)Publication number : 04-037137
 (43)Date of publication of application : 07.02.1992

(51)Int.CI.

H01L 21/321

(21)Application number : 02-143519

(71)Applicant : HITACHI LTD
HITACHI VLSI ENG CORP

(22)Date of filing : 01.06.1990

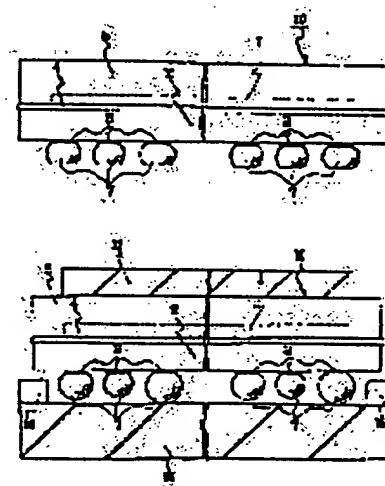
(72)Inventor : TATE HIROSHI
KIKUCHI NORISHIGE

(54) SEMICONDUCTOR CHIP OR SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To obtain a technique which makes it possible to improve the reliability and yield of a semiconductor chip or a semiconductor device that is equipped with a plurality of bump electrodes by making contact faces that are just made between a plurality of bump electrodes and a packaging substrate level and mounting the above leveled contact faces so that they are all on the same one plane or taking measures to meet the like situation.

CONSTITUTION: In a semiconductor chip or a semiconductor device 10 that is equipped with a plurality of bump electrodes 7, contact faces that are just made between a plurality of electrodes 7 and a packaging substrate are leveled and the leveled contact faces are mounted so that they are all in one plane. Further, in the manufacturing method of the semiconductor device that is prepared by a process for forming a plurality of bump electrodes, the above semiconductor chip and device 10 are placed on the leveled face of a jig 15 by forming the bump electrodes 7 and making each spacer 16 that is lower than the height of each bump electrode exist among the bump electrodes. After that, heat and pressure are applied. For example, the semiconductor device 10 is obtained by sealing the semiconductor chip 1 after keeping its chip airtight in a cavity which is composed of respective caps 5 that are connected with not only a base substrate 2 but also surroundings of the base substrate 2 through a binding layer 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A) 平4-37137

⑬Int.Cl.

H 01 L 21/321

識別記号

厅内整理番号

⑬公開 平成4年(1992)2月7日

6940-4M H 01 L 21/92

6940-4M

C

F

審査請求 未請求 請求項の数 6 (全12頁)

⑭発明の名称 半導体チップ又は半導体装置及びその製造方法

⑮特 願 平2-143519

⑯出 願 平2(1990)6月1日

⑰発明者 館 宏 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

⑰発明者 菊地 哲 慎 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

⑰出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰出願人 日立超エル・エス・アイ・エンジニアリング 東京都小平市上水本町5丁目20番1号

株式会社

⑰代理人 弁理士 秋田 収喜

明細書

1. 発明の名称

半導体チップ又は半導体装置及びその製造方法

2. 特許請求の範囲

1. 複数のバンプ電極を備えた半導体チップ又は半導体装置において、前記複数のバンプ電極の実装基板との接触面を平坦にし、該平坦な接触面を同一平面上に設けることを特徴とする半導体チップ又は半導体装置。

2. 複数のバンプ電極を備えた半導体チップ又は半導体装置において、前記複数のバンプ電極のうち所定のバンプ電極の実装基板との接触面を、凸状または凹状にしたことを特徴とする半導体チップ又は半導体装置。

3. 前記複数のバンプ電極のうち所定のバンプ電極の実装基板との接触面を、前記同一平面上と異なる他の同一平面上に設けたことを特徴とする前記請求項1に記載の半導体チップ又は半導体装置。

4. 複数のバンプ電極を形成する工程を備えた半

導体チップ又は半導体装置の製造方法において、前記バンプ電極を形成し、前記バンプ電極の高さよりも低いスペーサを介在させて、前記半導体チップ又は半導体装置を治具の平坦面に載置した後、熱及び圧力を加えることを特徴とする半導体チップ又は半導体装置の製造方法。

5. 前記請求項4に記載の治具の平坦面上に、前記バンプ電極の横断面積よりも小さい横断面積の凹部若しくは貫通孔或いは凸部を設け、該凹部若しくは貫通孔或いは凸部上に前記複数のバンプ電極のうちの所定のバンプ電極を載置した後、熱及び圧力を加えることを特徴とする前記請求項4に記載の半導体チップ又は半導体装置の製造方法。

6. 前記請求項4又は請求項5に記載の治具の平坦面上に凸部を設け、該凸部上に、前記半導体チップ又は半導体装置のバンプ電極側のうち他のバンプ電極よりも低く形成されるバンプ電極を載置した後、熱及び圧力を加えることを特徴とする半導体チップ又は半導体装置の製造方法。

特開平4-37137 (2)

3. 発明の詳細な説明

〔直来上の利用分野〕

本発明は、半導体チップ又は半導体装置及びその製造方法に関するもので、特に、複数のバンプ電極を備えた半導体チップ又は半導体装置及びその製造方法に適用して有効な技術に関するものである。

〔従来の技術〕

複数のバンプ電極を介して、半導体チップまたは半導体装置と外部回路との間を電気的に接続する方法(フリップチップ方法)が採用されている。

このフリップチップ方法の半導体装置としては、例えばMCC(Micro Chip Carrier)構造のパッケージを採用する半導体装置がある。また、この半導体装置を、実装基板に複数個実装してなる電子装置が使用されている。

前記MCC構造の半導体装置は、ベース基板、このベース基板の周囲に接着層を介して接続されたキャップの穴々から構成されるキャビティ内に、半導体チップを気密封止している。この半導体チップと前記ベース基板とは、前記半導体チップの

の対応する複数の端子とを位置合わせして、前記半導体装置を前記実装基板上に載置する。

次に、前記半導体装置を前記実装基板上に載置した状態で、リフロー炉まで搬送する。この後リフロー工程を行なうことにより、前記半導体装置の複数の外部端子と前記実装基板の複数の端子との間を、前記複数のバンプ電極を介して電気的に接続する。

〔発明が解決しようとする課題〕

しかしながら、本発明者は、前記従来技術を検討した結果、以下の問題点を見出した。

前記半導体装置を実装基板上に載置した状態でリフロー炉まで搬送する工程では、前記半導体装置と前記実装基板との間は、前記半導体装置の複数のバンプ電極の表面と前記実装基板の端子の表面との接觸により固定されている。前記複数のバンプ電極の表面は球状であり、前記実装基板の複数の端子の表面は平面であるため、前記複数のバンプ電極と実装基板の複数の端子との間の接合は、点接觸になっている。

素子形成面の外部端子上に設けられたバンプ電極を介して、電気的に接続されている。前記ベース基板の装置搭載面には、複数の外部端子が設けられている。この複数の外部端子上には、複数のバンプ電極が設けられている。

前記実装基板の装置実装面には、前記ベース基板に設けられた複数のバンプ電極と対応する位置に、複数の端子が設けられている。これらの複数の端子と前記ベース基板の複数の外部端子との間は、前記複数のバンプ電極を介して電気的に接続されている。

次に、前記複数のバンプ電極の製造方法及び前記半導体装置と前記実装基板とを電気的に接続する方法を、以下に簡単に説明する。

まず、前記半導体装置のベース基板の装置搭載面の複数の外部端子上に、複数のバンプ電極を形成する。これら複数のバンプ電極は、例えば、ガラスマスクを用いる方法、またはリフトオフ法により形成される。

次に、前記複数のバンプ電極と、前記実装基板

また、ガラスマスクを用いる方法やリフトオフ法でバンプ電極を形成した場合、各バンプ電極の大きさにはらつきが生じる。すなわち、各バンプ電極の前記ベース基板の装置搭載面からの高さに、はらつきが生じる。この結果、複数のバンプ電極のうち、前記実装基板の端子と接觸しないバンプ電極が存在する。

従って、前記半導体装置と前記実装基板との間の接合が、複数個のバンプ電極のうちの一部のバンプ電極と、実装基板の端子との点接觸で固定された状態で、前記半導体装置及び実装基板はリフロー炉まで搬送される。このため、前記搬送工程で、機械的振動等によって、前記複数のバンプ電極と実装基板の複数の端子との位置ずれが起きるという問題があった。

前記複数のバンプ電極と実装基板の複数の端子との位置ずれが生じた状態でリフロー工程を行なった場合、バンプ電極が対応する端子以外の端子と接合されたり、バンプ電極同志がショートしたりするため、前記半導体装置の信頼性及び歩留り

特開平4-37137 (3)

が低下する。

本発明の目的は、複数のバンプ電極を備えた半導体チップ又は半導体装置において、前記半導体チップまたは半導体装置の信頼性及び歩留りを向上することが可能な技術を提供することにある。

本発明の他の目的は、複数のバンプ電極を形成する工程を備えた半導体チップ又は半導体装置の製造方法において、前記半導体チップまたは半導体装置の信頼性及び歩留りを向上することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と斬新な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

(1) 複数のバンプ電極を備えた半導体チップ又は半導体装置において、前記複数のバンプ電極の実装基板との接触面を平坦にし、この平坦な接触

(6) 前記手段(4)または(5)の治具の平坦面に凸部を設け、この凸部上に、前記半導体チップ又は半導体装置のバンプ電極側のうち他のバンプ電極よりも低く形成されるバンプ電極を載置した後、熱及び圧力を加える。

〔作用〕

前述した手段(1)によれば、前記複数のバンプ電極と前記実装基板の複数の端子との間の接合は、面接触になるので、前記複数のバンプ電極と、実装基板の複数の端子との間は強固に固定される。従って、前記半導体チップまたは半導体装置を実装基板上に載置した状態で搬送する工程において、機械的振動等による複数のバンプ電極と実装基板の複数の端子との位置ずれを低減することができる。これにより、バンプ電極が対応する実装基板の端子以外の端子に接合されたり、バンプ電極同士がショートしたりすることを低減することができる。前記半導体チップまたは半導体装置の信頼性及び歩留りを向上することができる。

前述した手段(2)によれば、前記実装基板の複

面を同一平面上に設ける。

(2) 複数のバンプ電極を備えた半導体チップまたは半導体装置において、前記複数のバンプ電極のうち所定のバンプ電極の実装基板との接触面を、凸状または凹状にする。

(3) 前記手段(1)の複数のバンプ電極のうち所定のバンプ電極の実装基板との接触面を、前記同一平面と異なる他の同一平面上に設ける。

(4) 複数のバンプ電極を形成する工程を備えた半導体チップ又は半導体装置の製造方法において、前記バンプ電極を形成し、前記バンプ電極の高さよりも低いスペーサを介在させて、前記半導体チップまたは半導体装置を治具の平坦面に載置した後、熱及び圧力を加える。

(5) 前記手段(4)の治具の平坦面に、前記バンプ電極の横断面積よりも小さい横断面積の凹部若しくは貫通孔或いは凸部を設け、これらの凹部若しくは貫通孔或いは凸部上に前記複数のバンプ電極のうちの所定のバンプ電極を載置した後、熱及び圧力を加える。

数の端子のうち、前記実装基板との接触面が凸状または凹状にされたバンプ電極と接合される実装基板の端子面に、凹部または凸部を設ければ、前記接触面が凸状または凹状にされたバンプ電極と、前記凹部または凸部が設けられた実装基板の端子との間は、強固に固定される。

前述した手段(3)によれば、前述した手段(1)と同様の効果を発することができると共に、電源配線が配置されているために該装置実装面に凸部がある実装基板、すなわち該装置実装面に凸凹がある実装基板に、前記半導体チップまたは半導体装置を実装することができる。

前述した手段(4)によれば、前記複数のバンプ電極の実装基板との接触面は平坦になり、この接触面は同一平面上に形成されるので、複数のバンプ電極の高さのばらつきを低減することができる。従って、ほぼ全てのバンプ電極が実装基板の端子と接觸し、かつ、複数のバンプ電極と実装基板の複数の端子との間の接合は面接触になるので、複数のバンプ電極と実装基板の複数の端子との間は

特開平4-37137(4)

強固より固定される。従って、前記半導体チップまたは半導体装置を前記実装基板上に載置した状態で搬送する工程において、機械的振動等による前記複数のバンプ電極と実装基板の複数の端子との位置ずれを低減することができる。これにより、バンプ電極が対応する実装基板の端子以外の端子と接合されたり、バンプ電極同士がショートしたりすることを低減することができる。前記半導体チップまたは半導体装置の信頼性及び歩留りを向上することができる。

前記した手段(5)によれば、前記複数のバンプ電極のうち所定のバンプ電極の実装基板との接触面に、凸部または凹部が形成される。従って、前記凸部または凹部が設けられたバンプ電極と接合される実装基板の端子面に凹部または凸部を形成すれば、前記凸部または凹部が設けられたバンプ電極と、前記凹部または凸部が設けられた実装基板の端子との間は、より強固に固定される。

前述した手段(6)によれば、前記複数のバンプ電極のうち、所定のバンプ電極の高さは他のバン

プ電極の高さよりも低く形成されるので、前述した手段(4)乃至(5)と同様の効果を得ることができると共に、電源配線が配置されているために装置実装面に凸部がある実装基板、すなわち装置実装面に凹部がある実装基板に、前記半導体チップまたは半導体装置を実装することができる。

【発明の実施例】

以下、本発明の実施例を図面を用いて具体的に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは、同一符号を付け、その繰り返しの説明は省略する。

【実施例1】

本発明の実施例1のMCC構造の半導体装置10を、第1図(要部を断面で示す側面図)に示す。

第1図に示すように、前記半導体装置10は、ベース基板2、このベース基板2の周囲に接着層4を介して接続されたキャップ5の夫々から構成されるキャビティ内に、半導体チップ1を気密封止している。なお、図示していないが、この半導

体チップ1の素子形成面には複数の外部端子が設けられている。これら複数の外部端子上には、図示しない複数のバンプ電極が設けられ、これら複数のバンプ電極を介して、前記半導体チップ1は前記ベース基板2と電気的に接続されている。前記ベース基板2の装置搭載面には、複数の外部端子3が設けられている。これら複数の外部端子3上には、複数のバンプ電極7が設けられている。

前記外部端子3は、前記ベース基板2側から、例えば、W-Ni-Auの夫々、またはMo-Ni-Auの夫々を積層した積層膜で構成されている。また、この積層膜のNiを、Pt、Pd、Cu等で構成しても良い。また、この積層膜のAuは、前記バンプ電極7内に拡散している場合が多い。

前記複数のバンプ電極7の実装基板(25)との接触面は平坦であり、この接触面は、同一平面上に設けられている。このバンプ電極7は、例えば、Pb-Sn系、Sn-Pb系、Sn-Cd系、Sn-Ag系、Bi-Pb系、Bi-Pb-Sn系、Pb-Cd系、Sn-Mn系、Sn-Zn系、Bi-Sn系、In-Pb-Ag系、I

n-Pb系、Sn-Pb-Cu系、Sn-Sb系、Pb-Sb系等の合金で構成されている。

次に、前記半導体装置10を、実装基板25上に載置した状態を、第2図(要部を断面で示す要部側面図)に示す。

第2図に示すように、前記実装基板25の装置実装面には、前記半導体装置10の複数の外部端子3と対応する位置に、複数の端子26が設けられている。

前記バンプ電極7の実装基板25との接触面は、平坦であり、この接触面は同一平面上に設けられているので、同第2図に示すように、前記複数のバンプ電極7と複数の端子26との間の接合は面接触になっている。

以上の説明から分かるように、本実施例1の構成によれば、前記複数のバンプ電極7と複数の端子26との間の接合は面接触になるので、これら複数のバンプ電極7と複数の端子26との間は強固に固定される。従って、前記半導体装置10を前記実装基板26上に載置した状態でリフロー炉

特開平4-37137 (5)

まで搬送する工程において、機械的振動等による前記複数のパンプ電極7と複数の端子26との位置ずれを低減することができる。これにより、パンプ電極7が対応する端子26以外の端子26と接合されたり、パンプ電極7同士がショートしたりすることを低減することができるので、前記半導体装置10の信頼性及び歩留りを向上することができる。

次に、前記半導体装置10の製造方法を、第3図乃至第5図(工程部に要部を断面で示す側面図)を用いて説明する。

まず、ベース基板2と半導体チップ1とを図示しないパンプ電極を介して電気的に接続した後、接着層4を介して、キャップ5をベース基板2に接着し、前記半導体チップ1を気密封止する。

次に、第3図に示すように、前記ベース基板2の複数の外部端子3上に、複数のパンプ電極7を形成する。これら複数のパンプ電極7は、例えば、ガラスマスクを用いる方法、またはリフトオフ法で形成する。このような方法でパンプ電極7を形

でも前記半導体装置10のキャップ5と反応せず、かつ溶融しない材料で構成されている。この重り12は、例えば、溶点が400[℃]以上の金属またはガラス、セラミックス等の焼結体で構成されている。

前記スペーサ16には、前記治具15と同様の特性が要求されるため、このスペーサ16は、前記治具15と同様の構成になっている。また、このスペーサ16の高さは、前記パンプ電極7の高さよりも低い。このスペーサ16は、前記治具15に接着されているか、または、前記治具15と一緒に構成されている。このスペーサ16を前記治具15に接着するか、または一体に構成することにより、部品点数の低減を図ることができる。

次に、前記半導体装置10を前記治具15上に載置した状態で、熱及び圧力を加えることにより、第5図に示すように、前記パンプ電極7の実装基板25との接触面は平坦になり、この接触面は同一平面上に形成される。この接触面の形状は、前記治具15の平坦面の形状に対応して形成される。

成した場合、図第3図に示すように、各パンプ電極7の大きさが異なるため、前記パンプ電極7の前記ベース基板2の装置実装面からの高さにばらつきが生じる。また、各パンプ電極7の実装基板(25)との接触面は、球状である。

次に、第4図に示すように、前記半導体装置10を、治具15の平坦面にスペーサ16を介在させて載置する。また、前記半導体装置10の上面に、重り12を載置する。このように、前記大きさが異なるパンプ電極7を介して前記半導体装置10を前記治具15上に載置した場合、前記治具15と接触しないパンプ電極7が存在する。

前記治具15は、前記パンプ電極7との反応性が低く、かつ、パンプ電極7の溶融温度でも溶融しない材質である。この治具15は、例えば、ガラス、セラミックス等の焼結体、ステレンレス等の反応性が低い金属、SiC等の不活性被膜が表面に形成された金属、またはアルマイト加工が施されたアルミニウム等で構成されている。

前記重り12は、前記パンプ電極7の溶融温度

この熱処理は、例えば、前記パンプ電極7の溶融温度よりも、0乃至30[℃]程度高い温度で行なう。この溶融温度よりも0乃至30[℃]程度高い熱処理温度範囲では、前記パンプ電極7の表面は余り酸化されない。また、この熱処理工程では、例えば、H₂-N₂、N₂、パーフロロカーボン蒸気等の雰囲気の炉体やチャンバーを用いる。また、加熱は、例えば、雰囲気加熱、ホットプレートからの伝熱、蒸気による加熱で行なう。また、この加熱処理で加えられる圧力は、前記重り12から前記半導体装置10を介して、前記パンプ電極7に加えられる圧力である。

前記重り12は、この加熱、加圧工程において、前記パンプ電極7の変形速度を増す働きがある。なお、前記半導体装置10の重さがパンプ電極7の変形速度を増すのに充分な重さであれば、前記重り12を使用しなくても良い。

また、前記スペーサ16を使用することにより、この加熱、加圧工程において、前記半導体装置10と治具15との間の最小寸法は確保されるので、

特開平4-37137(6)

前記重り12の重さを大きくしても、前記バンプ電極7の溶融温度での変形量をほぼ一定に保つことができる。

次に、前記半導体装置10を前記実装基板25上に載置した状態で、リフロー炉まで搬送する。この後、リフロー工程を行なうことにより、前記半導体装置10の複数の外部端子3と、前記実装基板25の複数の端子26との間を、前記複数のバンプ電極7を介して電気的に接続する。なお、前記複数のバンプ電極7の実装基板25との接触面を平坦化する熱処理温度では、これら複数のバンプ電極7の表面はほとんど酸化されていないので、前記半導体装置10の複数の外部端子3と実装基板25の複数の端子26との間の接続強度はほとんど低下しない。

以上の説明から分かるように、本実施例1の製造方法によれば、前記複数のバンプ電極7の実装基板25との接触面は平坦になり、この接触面は同一平面上に形成されるので、前記ベース基板2の装置搭載面からのバンプ電極7の高さのばらつ

きを低減することができる。従って、ほぼ全てのバンプ電極7が端子26と接触し、かつ、複数のバンプ電極7と複数の端子26との間の接合は面接触になるので、複数のバンプ電極7と複数の端子21とは強固に固定される。従って、前記半導体装置10を前記実装基板25上に載置した状態でリフロー炉まで搬送する工程において、機械的振動等による複数のバンプ電極7と複数の端子26との位置ずれを低減することができる。これにより、バンプ電極7が対応する端子26以外の端子26に接合されたり、バンプ電極7同士がショートしたりすることを低減することができるので、前記半導体装置10の信頼性及び歩留りを向上することができる。

また、前記スペーサ16を、第6図(要部を断面で示す側面図)に示すように、前記半導体装置10のベース基板2の装置搭載面に設けても良い。この場合、このスペーサ16は、半導体装置10の完成時に除去するか、または、完成後まで残しても良い。

【実施例2】

本発明の実施例2の半導体装置10を、第7図(要部を断面で示す側面図)に示す。

第7図に示すように、本実施例2の半導体装置10は、前記実施例1の半導体装置10において、前記バンプ電極7のうち、所定のバンプ電極7の実装基板(25)との接触面を凸状にし、凸部8を設けたものである。

次に、前記半導体装置10を、実装基板25上に載置した状態を、第8図(要部を断面で示す要部側面図)に示す。

第8図に示すように、本実施例2では、前記実装基板25の端子26のうち、前記凸部8が設けられたバンプ電極7と対応する端子26の表面には、凹部27が設けられている。

以上の説明から分かるように、本実施例2の構成によれば、前記バンプ電極7のうち所定のバンプ電極7の実装基板25との接触面に凸部8を設けたことにより、この凸部8が設けられたバンプ電極7と接合される端子26の表面に凹部27を

設ければ、前記凸部8を有するバンプ電極7と凹部27を有する端子26との間は、前記実施例1よりも強固に固定される。従って、前記半導体装置10を前記実装基板25上に載置した状態でリフロー炉まで搬送する工程において、機械的振動等による前記複数のバンプ電極7と複数の端子26との位置ずれを更に低減することができる。これにより、バンプ電極7が対応する端子26以外の端子26と接合されたり、バンプ電極7同士がショートしたりすることを更に低減することができるので、バンプ電極7を備えた半導体装置10の信頼性及び歩留りを、更に向上することができる。

また、前記バンプ電極7のうち所定のバンプ電極7の実装基板25との接触面を凹状にし、この接触面が凹状に形成されたバンプ電極7と接合される前記実装基板の25の端子26の表面を凸状にしても、同様の効果を得ることができる。

次に、本実施例2の半導体装置10の製造方法を、第9図及び第10図(要部を断面で示す側面

特開平4-37137 (7)

四)を用いて説明する。

まず、前記実施例Iと同様に、複数のバンプ電極7を形成する工程までを行なう。

次に、第9図に示すように、前記半導体装置10を、治具15の平坦面に、スペーサ16を介在させて設置する。前記バンプ電極7のうち所定のバンプ電極7と対応する位置において、この治具15には、凹部17及び貫通孔18の夫々が設けられている。これらの凹部17及び貫通孔18の横断面積は、前記バンプ電極7の横断面積よりも小さい。また、前記半導体装置10の上面には、前記重り12を設置する。

この後、前記実施例Iと同様に加熱、加圧処理を行なうことにより、第9図に示すように、前記バンプ電極7の接触面に凸部8が形成される。

以上の説明から分かるように、本実施例IIの製造方法によれば、前記複数のバンプ電極7のうち所定のバンプ電極7の実装基板25との接触面に凸部8が形成される。従って、この凸部8が形成されたバンプ電極7と接合される実装基板25の

端子26の端子面に凹部27を形成すれば、前記凸部8が形成されたバンプ電極7と凹部27が形成された端子26との間は、前記実施例Iよりも強固に固定される。従って、前記半導体装置10を前記実装基板25上に設置した状態でリフロー炉まで搬送する工程において、機械的振動等による前記複数のバンプ電極7と複数の端子26との位置ずれを更に低減することができる。これにより、バンプ電極7が対応する端子26以外の端子26と接合されたり、バンプ電極7同士がショートしたりすることを更に低減することができる。また、バンプ電極7を備えた半導体装置10の信頼性及び歩留りを、更に向上することができる。

また、前記治具15の前記バンプ電極7のうち所定のバンプ電極7と対応する位置に凸部を形成することにより、前記バンプ電極7のうち所定のバンプ電極7の接触面を凹状に形成し、この接触面が凹状に形成されたバンプ電極7と接合される前記実装基板25の端子26の表面を凸状に形成しても、同様の効果を得ることができる。

【実施例III】

本発明の実施例IIIの半導体装置10を、第11図(要部を断面で示す側面図)に示す。

第11図に示すように、本実施例IIIの半導体装置10は、前記実施例Iの半導体装置10において、前記複数のバンプ電極7のうち所定のバンプ電極7の実装基板(2.5)との接觸面を、他のバンプ電極7の実装基板(2.5)との接觸面が設けられている同一平面と異なる他の同一平面上に設けたものである。すなわち、前記複数のバンプ電極7のうち所定のバンプ電極7の前記ベース基板2の装置搭載面からの高さが、他のバンプ電極7の前記ベース基板2の装置搭載面からの高さと異なるものである。

次に、前記半導体装置10を、実装基板25上に設置した状態を、第12図(要部を断面で示す側面図)に示す。

第12図に示すように、本実施例IIIの実装基板25の装置実装面には、凸部27が設けられている。この凸部27は、例えば電源配線が配置され

ているために、他の部分よりも厚くなっている。

以上の説明から分かるように、本実施例IIIの構成によれば、前記実施例Iと同様の効果を有することができると共に、装置実装面に凸部27が設けられた実装基板25に、前記半導体装置10を実装することができる。

また、前記実装基板25の凸部27が設けられている位置に凹部が設けられている場合には、前記バンプ電極7のうち、前記凹部と対応する位置のバンプ電極7の高さよりも、他のバンプ電極7の高さを低くすれば、同様の効果を得ることができる。

次に、本実施例IIIの半導体装置10の製造方法を、第13図及び第14図(要部を断面で示す側面図)を用いて説明する。

まず、前記実施例Iと同様に、複数のバンプ電極7を形成する工程までを行なう。

次に、この後、前記半導体装置10を、治具15の平坦面に、スペーサ16を介在させて設置する。本実施例IIIの治具15の平坦面には、他のバ

特開平4-37137 (8)

ンプ電極7よりも、前記ベース基板2の装置搭載面からの高さが低く形成されるバンプ電極7と対応する位置に、凸部20（他の部分よりも厚い部分）が設けられている。また、この治具15には、この治具15と前記複数のバンプ電極7との位置関係が加工中に変化しないように、凸部19が設けられている。

次に、前記実施例Iと同様に、加熱、加圧処理を施すことにより、第14図に示すように、前記バンプ電極7のうち、前記治具15の凸部20上有るバンプ電極7の高さは、他のバンプ電極7よりも低く形成される。

次に、前記実施例Iと同様に、前記半導体装置10を前記実装基板25上に載置した状態で、リフロー炉まで搬送する。この際、前記バンプ電極7のうち、実装基板25の凸部27に対応する位置に設けられているバンプ電極7の高さは、他のバンプ電極7の高さよりも低いので、凸部27のある実装基板25上に前記半導体装置10を載置することができる。この後、リフロー工程を行な

を、第15図及び第16図（英部を断面で示す側面図）を用いて説明する。

まず、前記半導体チップ1を気密封止する工程までを、前記実施例Iと同様に行なう。

本実施例IVの治具15の平坦面には、突出部19が複数設けられている。この突出部19は、前記半導体装置10の外部端子3間に対応する位置に設けられている。

次に、前記突出部19で区分された治具15の平坦面に、必要量の合金を載置する。この後、第15図に示すように、前記半導体装置10を、位置合わせして、前記治具15上に載置する。

次に、前記実施例Iと同様に、加熱、加圧処理を行なう。この加熱、加圧処理を施すことにより、第16図に示すように、前記バンプ電極7が前記ベース基板2の外部端子3と接続されると共に、前記バンプ電極7の実装基板(25)との接触面は、前記実施例Iと同様に平坦に形成され、この接触面は同一平面上に形成される。

以上の説明から分かるように、本実施例IVの製

うことにより、本実施例IIIの半導体装置10の複数の外部端子3と実装基板25の複数の端子26との間とを、前記複数のバンプ電極7を介して電気的に接続する。

以上の説明から分かるように、本実施例IIIの製造方法によれば、前記実施例Iと同様の効果を得ることができると共に、前記複数のバンプ電極7のうち、所定のバンプ電極7の高さは他のバンプ電極7の高さよりも低く形成されるので、凸部27が設けられている実装基板25に半導体装置10を実装することができる。

また、前記治具15の凸部20が設けられている位置に凹部を設けることにより、前記バンプ電極7のうち、前記凹部と対応する位置のバンプ電極7の高さは他のバンプ電極7の高さよりも高く形成されるので、前記凸部26が設けられている位置に凹部が設けられている実装基板25に、前記半導体装置10を実装することができる。

【実施例IV】

本発明の実施例IVの半導体装置10の製造方法

造方法によれば、前記バンプ電極7を前記外部端子3と接続すると共に、前記バンプ電極7の接触面を平坦にし、この接触面を同一平面上に形成することができるので、バンプ電極7の製造工程数を低減することができる。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

例えば、本実施例I乃至IIIにおいては、前記半導体装置10の外部端子3上に設けられるバンプ電極7の実装基板25との接触面の製造方法を示したが、本発明は、例えば、半導体チップ1の外部端子上に設けられるバンプ電極の搭載基板との接触面の製造方法に適用することができる。

また、前記バンプ電極7の実装基板25との接触面を平坦にし、この接触面を同一平面上に形成する方法として、治具を用いて熱及び圧力を加える方法を示したが、例えば、機械的に切削する方法で前記バンプ電極7の実装基板25との接触面

特開平4-37137 (9)

を平坦にし、この平坦面を同一平面上に形成しても良い。また、機械的に切削する方法で、所定のパンプ電極7の実装基板25との接触面を、他のパンプ電極7の実装基板25との接触面が設けられている同一平面と異なる他の同一平面に設けても良い。

また、熱処理温度において、パンプ電極7の硬化をいとわない場合やフラックスを用いて硬化防止が可能な場合は、パンプ電極7の融点より30[℃]以上高い温度で熱処理を行なっても良い。

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

複数のパンプ電極を備えた半導体チップ又は半導体装置において、これらの半導体チップまたは半導体装置の信頼性及び歩留りを向上することができる。

複数のパンプ電極を形成する工程を備えた半導体チップ又は半導体装置の製造方法において、こ

れらの半導体チップまたは半導体装置の信頼性及び歩留りを向上することができる。

4. 図面の簡単な説明

第1図は、本発明の実施例Ⅰの半導体装置の要部を断面で示す側面図。

第2図は、前記半導体装置を実装基板状に載置した状態を示す要部を断面で示す要部側面図。

第3図乃至第5図は、前記半導体装置のパンプ電極の形成方法を説明するための要部を断面で示す側面図。

第6図は、本実施例Ⅰの変形例の半導体装置を示す要部を断面で示す側面図。

第7図は、本発明の実施例Ⅱの半導体装置の要部を断面で示す側面図。

第8図は、前記半導体装置を実装基板状に載置した状態を示す要部を断面で示す要部側面図。

第9図及び第10図は、前記半導体装置のパンプ電極の形成方法を説明するための要部を断面で示す側面図。

第11図は、本発明の実施例Ⅲの半導体装置の

要部を断面で示す側面図。

第12図は、前記半導体装置を実装基板状に載置した状態を示す要部を断面で示す要部側面図。

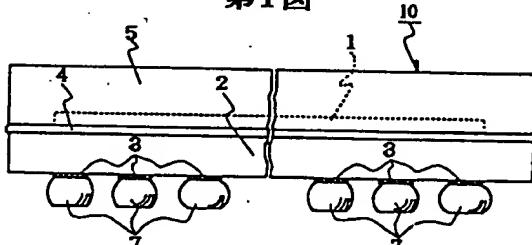
第13図及び第14図は、前記半導体装置のパンプ電極の形成方法を説明するための要部を断面で示す側面図。

第15図及び第16図は、本発明の実施例Ⅳの半導体装置の製造方法を説明するための要部を断面で示す側面図である。

図中、1…半導体チップ、2…ベース基板、3…外部端子、4…接着層、5…キャップ、7…パンプ電極、10…半導体装置、15…治具、16…スペーサ、25…実装基板、26…端子である。

代理人 弁理士 秋田収喜

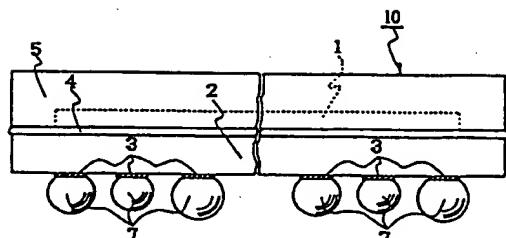
第1図



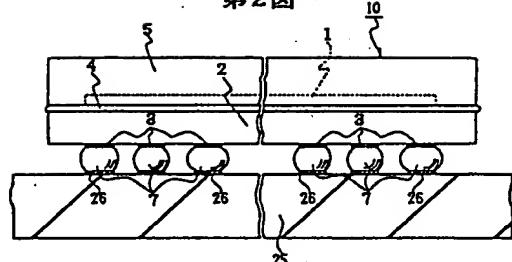
1…半導体チップ
2…ベース基板
3…外部端子
4…接着層
5…キャップ
7…パンプ電極
10…半導体装置

特開平4-37137 (10)

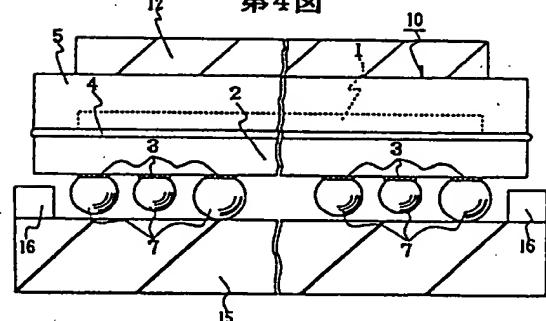
第3図



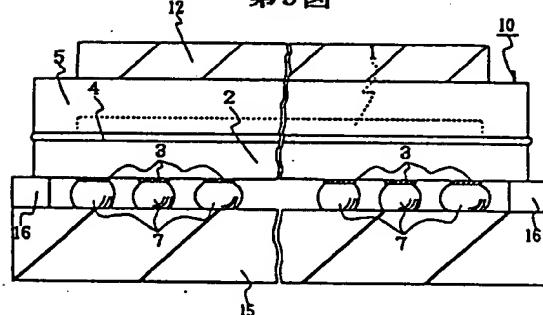
第2図



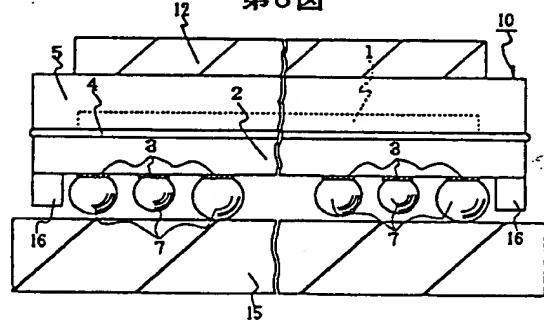
第4図



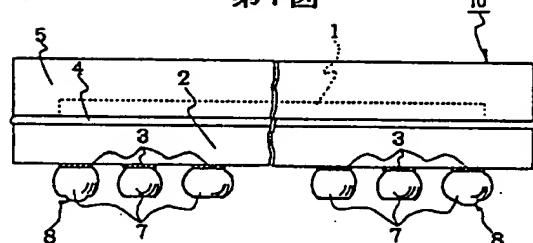
第5図



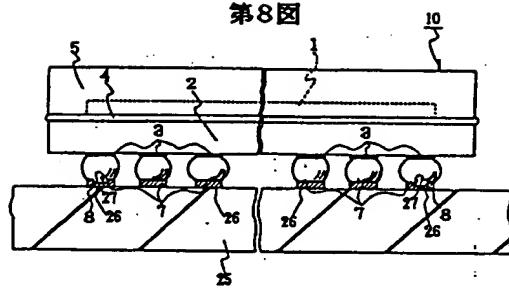
第6図



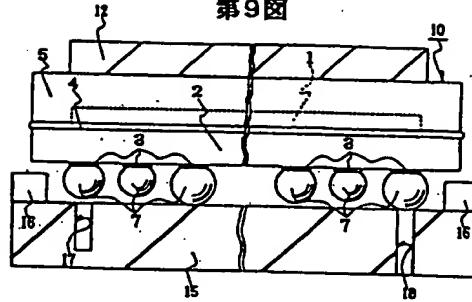
第7図



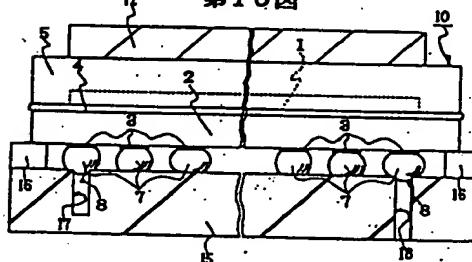
第8図



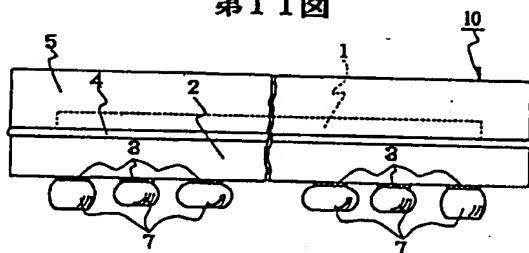
第9図



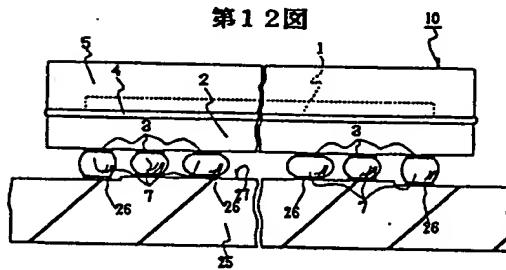
第10図



第11図

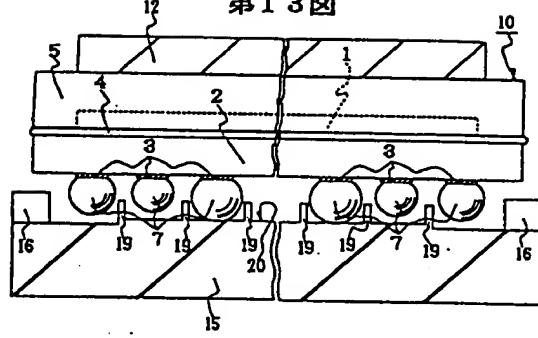


第12図

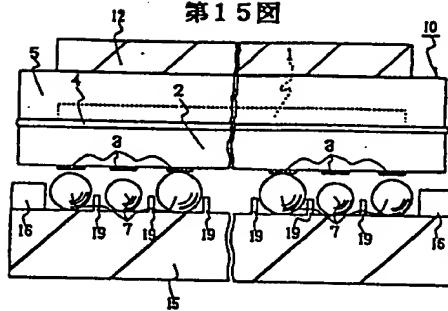


特開平4-37137 (12)

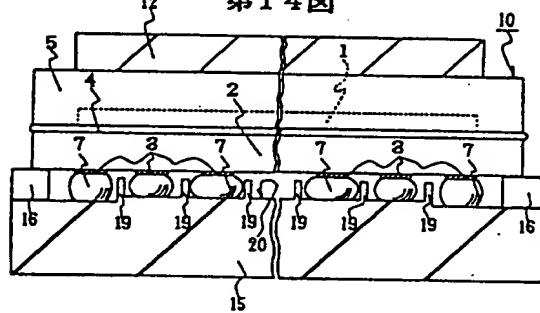
第13図



第15図



第14図



第16図

